

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

半導体層上に、ゲート絶縁膜を介して、下層部側の第 1 導電層と、上層部側の第 2 導電層を有する積層体を形成し、

前記積層体上にマスクパターンを形成し、

前記マスクパターンのエッチングレートが速い条件を用い、前記第 2 導電層及び第 1 導電層をエッチングして、テーパ状の第 1 の導電層パターンを形成し、

前記第 1 の導電層パターン上に残存するマスクパターンに基づいて、前記第 1 の導電層パターンにおける第 2 導電層を選択的にエッチングして、第 2 の導電層パターンを形成し、

前記第 2 の導電層パターンにおける第 2 導電層を、電界で加速されたイオンの遮蔽マスクとして、前記半導体層の、前記第 2 の導電層パターンにおける第 1 導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含む半導体装置の作製方法。

【請求項 2】

請求項 1 において、前記第 1 導電層は、窒化タンタルであり、前記第 2 導電層は、チタン、又は、チタンを主成分とする合金もしくは化合物であることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 において、六フッ化硫黄を添加したプラズマを用いて前記積層体上のマスクパターンを後退させつつ、前記第 2 導電層及び第 1 導電層をエッチングして、テーパ状の前記第 1 の導電層パターンを形成することを特徴とする半導体装置の作製方法。

【請求項 4】

半導体層上に、ゲート絶縁膜を介して、第 1 導電層、第 2 導電層、第 3 導電層を順次積層して積層体を形成し、

前記積層体上にマスクパターンを形成し、

前記マスクパターンのエッチングレートが速い条件を用い、前記第 3 導電層、第 2 導電層及び第 1 導電層をエッチングして、テーパ状の第 1 の導電層パターンを形成し、

前記第 1 の導電層パターン上に残存するマスクパターンに基づいて、前記第 1 の導電層パターンにおける第 3 導電層及び第 2 導電層を選択的にエッチングして、第 2 の導電層パターンを形成し、

前記第 2 の導電層パターンにおける第 3 導電層及び第 2 導電層を、電界で加速されたイオンの遮蔽マスクとして、前記半導体層の、前記第 2 の導電層パターンにおける第 1 導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含む半導体装置の作製方法。

【請求項 5】

請求項 4 において、前記第 1 導電層は、窒化タンタルであり、前記第 2 導電

層は、チタン、又は、チタンを主成分とする合金もしくは化合物であり、前記第3導電層は窒化チタンであることを特徴とする半導体装置の作製方法。

【請求項6】

請求項4において、六フッ化硫黄を添加したプラズマを用いて前記積層体上のマスクパターンを後退させつつ、前記第3導電層、第2導電層及び第1導電層をエッチングして、テーパ状の前記第1の導電層パターンを形成することを特徴とする半導体装置の作製方法。

【請求項7】

半導体層上に、ゲート絶縁膜を介して、下層部側の第1導電層と、上層部側の第2導電層を有する積層体を形成し、

前記積層体上にマスクパターンを形成し、

六フッ化硫黄を添加したプラズマを用いて前記積層体上のマスクパターンを後退させつつ、前記第2導電層及び第1導電層をエッチングして、テーパ状の前記第1の導電層パターンを形成し、

前記第1の導電層パターン上に残存するマスクパターンに基づいて、前記第1の導電層パターンにおける第2導電層を選択的にエッチングして、第2の導電層パターンを形成し、

前記第2の導電層パターンにおける第2導電層を、電界で加速されたイオンの遮蔽マスクとして、前記半導体層の、前記第2の導電層パターンにおける第1導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含む半導体装置の作製方法。

【請求項8】

請求項7において、前記第1導電層は、窒化タンタルであり、前記第2導電層は、チタン、又は、チタンを主成分とする合金もしくは化合物であることを特徴とする半導体装置の作製方法。

【請求項9】

半導体層上に、ゲート絶縁膜を介して、第1導電層、第2導電層、第3導電層を順次積層して積層体を形成し、

前記積層体上にマスクパターンを形成し、

六フッ化硫黄を添加したプラズマを用いて前記積層体上のマスクパターンを後退させつつ、前記第3導電層、第2導電層及び第1導電層をエッチングして、テーパ状の前記第1の導電層パターンを形成し、

前記第1の導電層パターン上に残存するマスクパターンに基づいて、前記第1の導電層パターンにおける第3導電層及び第2導電層を選択的にエッチングして、第2の導電層パターンを形成し、

前記第2の導電層パターンにおける第3導電層及び第2導電層を、電界で加速されたイオンの遮蔽マスクとして、前記半導体層の、前記第2の導電層パターンにおける第1導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含む半導体装置の作製方法。

【請求項10】

請求項9において、前記第1導電層は、窒化タンタルであり、前記第2導電層は、チタン、又は、チタンを主成分とする合金もしくは化合物であり、前記

第3導電層は窒化チタンであることを特徴とする半導体装置の作製方法。

【請求項11】

半導体層上に、ゲート絶縁膜を介して、下層部側の第1導電層と、上層部側の第2導電層を有する積層体を形成し、

前記積層体上にマスクパターンを形成し、

前記第2の導電層に対する前記マスクパターンの選択比が高い条件を用い、前記第2導電層及び第1導電層をエッチングして、テーパ状の第1の導電層パターンを形成し、

前記第1の導電層パターン上に残存するマスクパターンに基づいて、前記第1の導電層パターンにおける第2導電層を選択的にエッチングして、第2の導電層パターンを形成し、

前記第2の導電層パターンにおける第2導電層を、電界で加速されたイオンの遮蔽マスクとして、前記半導体層の、前記第2の導電層パターンにおける第1導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含む半導体装置の作製方法。

【請求項12】

請求項11において、前記第1導電層は、窒化タンタルであり、前記第2導電層は、チタン、又は、チタンを主成分とする合金もしくは化合物であることを特徴とする半導体装置の作製方法。

【請求項13】

請求項11において、六フッ化硫黄を添加したプラズマを用いて前記積層体上のマスクパターンを後退させつつ、前記第2導電層及び第1導電層をエッチングして、テーパ状の前記第1の導電層パターンを形成することを特徴とする半導体装置の作製方法。

【請求項14】

半導体層上に、ゲート絶縁膜を介して、第1導電層、第2導電層、第3導電層を順次積層して積層体を形成し、

前記積層体上にマスクパターンを形成し、

前記第3の導電層に対する前記マスクパターンの選択比が高い条件を用い、前記第3導電層、第2導電層及び第1導電層をエッチングして、テーパ状の第1の導電層パターンを形成し、

前記第1の導電層パターン上に残存するマスクパターンに基づいて、前記第1の導電層パターンにおける第3導電層及び第2導電層を選択的にエッチングして、第2の導電層パターンを形成し、

前記第2の導電層パターンにおける第3導電層及び第2導電層を、電界で加速されたイオンの遮蔽マスクとして、前記半導体層の、前記第2の導電層パターンにおける第1導電層と重なる領域に低濃度ドレイン領域を形成する各段階を含む半導体装置の作製方法。

【請求項15】

請求項14において、前記第1導電層は、窒化タンタルであり、前記第2導電層は、チタン、又は、チタンを主成分とする合金もしくは化合物であり、前記第3導電層は窒化チタンであることを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 14 において、六フッ化硫黄を添加したプラズマを用いて前記積層体上のマスクパターンを後退させつつ、前記第 3 導電層、第 2 導電層及び第 1 導電層をエッチングして、テーパ状の前記第 1 の導電層パターンを形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁ゲート型電界効果トランジスタの作製方法に係り、特にゲートオーバーラップ構造の薄膜トランジスタ（TFT：Thin Film Transistor）に適用することができる半導体装置の作製方法に関する。

【0002】

【従来の技術】

液晶を用いた表示装置は、液晶テレビ受像機に代表されるように 20 インチを越える大型画面の部品が実用化されている。近年では多結晶シリコン膜を活性層に用いた TFT で、駆動回路一体型も液晶表示装置が実現されている。

【0003】

しかし、多結晶シリコン膜を用いた TFT はドレイン接合耐圧が低く、接合漏れ電流（以下、オフリーク電流と呼ぶ）が大きくなるという欠点が指摘されている。その対策として、低濃度ドレイン（LDD：Lightly Doped Drain）構造を形成することが有効であることが知られている。

【0004】

また、ドレイン領域近傍での高電界が生じ、発生したホットキャリアが LDD 領域上のゲート絶縁膜にトラップされ、しきい値電圧など素子特性が大幅に変動し、低下する現象が問題として指摘されている。ホットキャリアによる劣化を防止するために LDD 領域がゲート電極とオーバーラップした TFT が開示されている（例えば、特許文献 1 参照。）。ゲートオーバーラップ LDD 構造の TFT は、通常の LDD 構造の TFT と比較して電流駆動能力が高く、ドレイン領域近傍での高電界を有効に緩和してホットキャリアによる劣化を抑止している。

【0005】

【特許文献 1】

特開 2000-294787 号公報

【0006】

しかしながら、上記公報に開示されたゲートオーバーラップ LDD 構造の TFT は、LDD を形成する不純物領域を半導体層に形成した後ゲート電極を重ね合わせるにより、設計ルールの縮小に伴いゲート電極とのオーバーラップ量を正確に作り込むことができない。

【0007】

一方、自己整合的にゲートオーバーラップ LDD 構造の TFT を作製する方法として、少なくとも二層積層した導電層を 1 回の光露光処理と複数回のエッチング加工により上層部と下層部の導電層の寸法を異ならせ、その寸法差と膜

厚差を利用してイオンドーピングすることにより自己整合的にゲート電極とオーバーラップするＬＤＤ領域を形成する技術が開示されている（例えば、特許文献２参照。）。

【０００８】

【特許文献２】

特開２００２－１４３３７号公報

【０００９】

勿論、ホットキャリアの劣化対策としてゲート電極とオーバーラップするＬＤＤの機能を最大限に発揮させるためには、ＴＦＴの駆動電圧に応じてＬＤＤの長さ（チャンネル長に対する長さ）を最適化する必要がある。すなわち、ドレイン領域近傍の高電界を有効に緩和するのに最適な長さがある。

【００１０】

上記特許文献２が開示する技術は、二層積層された導電層をテーパ形状にエッチング加工する第１段階と、テーパ形状を有する導電層のうち、上層のみを選択的に異方性エッチング加工する第２段階とを有し、テーパ角を制御することによりＬＤＤの長さを調節できる点に特徴がある。

【００１１】

【発明が解決しようとする課題】

ゲート電極に限らず、被膜の端部又は側壁部をマスクパターンに基づいてテーパ形状にエッチング加工することは、ドライエッチング法でマスクパターンの幅を同時に後退させながら被加工物をエッチングすることで可能となる。その為にはエッチングするガス種の選択と、バイアス電圧の制御、マスクパターンの材料と被膜との選択比が重要となる。

【００１２】

少なくとも二層の積層構造を有するゲート電極を用いる従来の技術では、ＬＤＤの長さを制御するにはゲート電極の加工段階における端部のテーパ角（基板表面と成す角度）を小さくする必要がある。それにはマスクパターンの後退量を大きくする必要がある。マスクパターンはエッチングされて後退するため膜厚を厚くしてマージンを見込んでおく必要がある。その結果、微細なマスクパターンを形成できなくなるという問題点がある。

【００１３】

また、エッチング加工の選択比に関しては、エッチングガスと被加工物の材質との関係を考慮する必要がある。

【００１４】

チャンネル長１０μｍ程度のＴＦＴに対し１０～２０Ｖで駆動するには、１μｍ以上（好ましくは１．５μｍ以上）のＬＤＤ長さ（ゲート電極とオーバーラップする部位の長さ）が必要となる。この場合、上記従来技術に従えば、厚さ０．５μｍのチタン膜に対し、概略２０度のテーパ角を設ける必要がある。しかし、チタンはテーパ加工が困難な材料であり、このような小さい角度のテーパ角をドライエッチング法で作り込むことは不可能であった。

【００１５】

本発明は、コストの高いタングステンに代って、コストの安いチタンを用い

ており、ゲート電極は、窒化タンタルからなる第1導電層及びチタン又はチタンを主成分とする合金もしくは化合物からなる第2導電層を有する積層体からなる。またはさらに第3導電層として窒化チタンを第2導電層の上に積層する場合もある。

【0016】

本発明は、エッチング加工の選択比に関して、第1の導電層パターンを形成する際、マスクパターンとチタン又はチタンを主成分とする合金もしくは化合物又は窒化チタンとの間で高い選択比（マスクパターン/導電層）を有するエッチング条件でエッチング加工することで、自己整合的に形成するゲート電極にオーバーラップするLDDの寸法の設計自由度を与え、特にホットキャリア耐性に優れたTFTを再現性よく作製する技術を提供することを目的とする。

【0017】

【課題を解決するための手段】

本出願人によれば、ホットキャリアに対する劣化を制御するために必要なゲート電極とオーバーラップするLDDの長さ（以下、この長さを便宜上 L_{ov} と表記する）については以下のように考察されている。

【0018】

まず、TFTの劣化に対して L_{ov} が所定の値である場合に、電界効果移動度の最大値が10%低下する時間を寿命時間と定義して、図9で示すようにドレイン電圧の逆数を片対数グラフにプロットして得られる直線的な関係から、寿命時間が10年となる電圧を10年保証電圧として導出する。たとえば、図9において、 L_{ov} が1.0 μm のTFTにおける10年保証電圧は16Vである。なお、液晶パネルにおいて高電圧電源は16Vであることが多く、2割のマージンを持たせた19.2V以上の保証電圧を得ることが求められている。図10はこのようにして求めた推定保証電圧を、 L_{ov} が0.5 μm 、0.78 μm 、1.0 μm 、1.5 μm 、1.7 μm のそれぞれの場合における値をプロットしたグラフである。また、図10では、バイアスストレス試験で、TFTのオン電流値が10%変動するまでの時間が20時間となるドレイン電圧値を20時間保証電圧として示している。

【0019】

ホットキャリア効果による劣化は、駆動電圧が低ければほとんど問題とならないが、10V以上で駆動する場合には無視出来なくなる。図10から明らかなように、駆動電圧が16Vである場合には、 L_{ov} が1 μm 以上、好ましくは1.5 μm 以上とする必要があることを示している。

【0020】

上記の要件を満足するために、本発明は、自己整合的にゲート電極とオーバーラップするLDDを形成する半導体装置の作製方法であって、ゲート電極を複数の導電層から成る積層体で形成し、その形状を第1導電層と第2導電層のチャネル長方向の幅が、下層である第1導電層の方が長い形状とすると共に、当該ゲート電極をLDDを形成するイオンドーピング時のマスクとして利用するものである。この時、ゲート電極とオーバーラップするLDD、すなわち L_{ov} を1 μm 以上、好ましくは1.5 μm 以上とするために、ゲート電極を形成する

ためのマスクパターンの後退量の多い条件でドライエッチングすることで最適な形状を得ることを特徴とする。

【0021】

本発明は、半導体層上にゲート絶縁膜を介して下層部側の第1導電層と、上層部側の第2導電層とから成る積層構造体を形成し、その積層構造体上にマスクパターンを形成し、そのマスクパターンのエッチングレートが速い条件を用い、第2導電層及び第1導電層をエッチングしてテーパ状の端部を有する第1の導電層パターンを形成し、第1の導電層パターン上に残存するマスクパターンに基づいて、第1の導電層パターンにおける第2導電層を選択的にエッチングして、第1導電層と第2導電層のチャンネル長方向の幅が異なり、第1導電層の方が長い第2の導電層パターンが形成される。第1導電層が突出する長さは $1\mu\text{m}$ 以上とすることが可能となる。この第2の導電層パターンにおける第2導電層を電界で加速されたイオンの遮蔽マスクとして用いることで、半導体層の、第2の導電層パターンにおける第1導電層と重なる領域に低濃度ドレイン領域を形成することが可能となる。即ち、自己整合的に低濃度ドレイン領域を形成することができる。勿論、第2の導電層パターンはゲート電極として用いることができる。

【0022】

上記発明の構成において、適した第1導電層と第2導電層の組み合わせは、第1導電層は窒化タンタルであり、第2導電層はチタン、又は、チタンを主成分とする合金もしくは化合物である。また、第2導電層上のマスクパターンの端部を後退させるには六フッ化硫黄(SF_6)を添加したプラズマが適している。

【0023】

本発明は、半導体層上にゲート絶縁膜を介して、第1導電層と、第2導電層、第3導電層を順次積層して積層構造体を形成し、その積層構造体上にマスクパターンを形成して、そのマスクパターンのエッチングレートが速い条件を用い、第3導電層、第2導電層及び第1導電層をエッチングしてテーパ状の端部を有する第1の導電層パターンを形成し、第1の導電層パターン上に残存するマスクパターンに基づいて、第1の導電層パターンにおける第3導電層及び第2導電層を選択的にエッチングして、第1導電層と第3導電層及び第2導電層のチャンネル長方向の幅が異なり、第1導電層の方が長い第2の導電層パターンが形成される。第1導電層が突出する長さは $1\mu\text{m}$ 以上とすることが可能となる。この第2の導電層パターンにおける第3導電層及び第2導電層を電界で加速されたイオンの遮蔽マスクとして用いることで、半導体層の、第2の導電層パターンにおける第1導電層と重なる領域に低濃度ドレイン領域を形成することが可能となる。即ち、自己整合的に低濃度ドレイン領域を形成することができる。勿論、第2の導電層パターンはゲート電極として用いることができる。

【0024】

上記発明の構成において、適した第1導電層と第2導電層と第3導電層の組み合わせは、第1導電層は窒化タンタルであり、第2導電層はチタン、又は、チタンを主成分とする合金もしくは化合物であり、前記第3導電層は窒化チタンである。また、第3導電層上のマスクパターンの端部を後退させるには六フ

ッ化硫黄(SF_6)を添加したプラズマが適している。

【0025】

上記の様にゲート電極を複数の導電層から成る積層体で形成し、その形状を第1導電層と第2導電層のチャンネル長方向の幅が、第1導電層の方が長い形態とする場合において、テーパエッチング加工時にマスクパターンの端部をより後退させることにより、第1導電層が突出する長さが $1\mu\text{m}$ 以上のハットシェイプ構造を形成することが可能となる。このゲート電極をイオンドーピング時のマスクとすることで、ゲート電極とオーバーラップするLDD領域の長さを $1\mu\text{m}$ 以上とし、ホットキャリア劣化に対する寿命時間を長大することができる。また、以下に示す実施形態の全体を通して同じ要素には同じ符号を付するものとする。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、本発明は以下に示す実施の形態に限定されるものでなく、その要旨を逸脱しない範囲で各種の変形を許容するものである。

【0027】

本実施形態では、窒化タンタルからなる第1導電層及びチタン又はチタンを主成分とする合金もしくは化合物からなる第2導電層を有する積層体からなるゲート電極をイオンドーピング時のマスクとして用い、 L_{ov} を自己整合的に形成し、且つその長さ(L_{ov})を $1\mu\text{m}$ 以上とするための工程について示す。詳しくは、第1の導電層パターンを形成する際、マスクパターンの後退量の多い条件でエッチングし、その上に残存するパターンに基づいて第1の導電層パターンにおける第2導電層を選択的にエッチングして第2の導電層パターンを形成する一態様について説明する。

【0028】

図1(A)においてガラス基板100上に第1絶縁膜(下地膜)101、半導体層102、第2絶縁膜(ゲート絶縁膜)103が形成され、その上に第1導電層104、第2導電層105が形成されている。マスクパターン106は光露光工程によりフォトリジストを用いて形成する。

【0029】

第1導電層はタングステン(W)、クロム(Cr)、タンタル(Ta)、窒化タンタル(TaN)またはモリブデン(Mo)などの高融点金属を $30\sim 50\text{nm}$ の厚さで形成し、第2導電層はチタン又はチタンを主成分とする合金もしくは化合物で $300\sim 600\text{nm}$ の厚さに形成する。

【0030】

次に、図1(B)に示すように、ドライエッチングにより第2導電層105のエッチングを行う。エッチングガスには、 CF_4 、 SF_6 、 Cl_2 、 O_2 を用いる。エッチング速度の向上にはECR(Electron Cyclotron Resonance)やICP(Inductively Coupled Plasma)などの高密度プラズマ源を用いたドライエッチング装置を用いる。また、マスクパターンに基づく加工形状において、端部もしくは側壁部をテーパ形状に加工するためには、基板側に負のバイア

ス電圧を印加する。

【0031】

レジストで形成したマスクパターン106は電界で加速されたイオンによりスパッタされ、反応副生成物が被加工物の側壁に付着する。これは側壁保護膜とも呼ばれるが、この段階の加工でチタンを主成分とする第2導電層をテーパ形状とする理由は、この側壁保護膜の排除である。つまり、図3(A)で示すようにテーパ部を有する第2導電層105'に対し、その後異方性エッチングを行っても反応副生成物が側壁に堆積しにくいので、図3(B)に示すように残渣をなくすことなくエッチング加工して105''のパターンを形成することができる。これに対し図4(A)のように第2導電層105'の側壁がほぼ垂直であるとエッチング加工時に反応副生成物が堆積し、図4(B)で示すようにその後異方性エッチングしても、その反応副生成物が残ってしまい形状不良となる。すなわち、この段階で少なくとも第2導電層をテーパ形状に加工しておくことで側壁保護膜を排除することができる。

【0032】

次に、図1(C)に示すようにエッチングガスを CF_4 、 Cl_2 に切り替えて第1導電層である窒化タンタルのエッチングを行う。

【0033】

こうして図1(C)で示すように、第2絶縁膜103上に第1導電層104'、第2導電層105'からなる第1の導電層パターン107が形成される。端部におけるテーパ形状の基板100の表面と成す角度は10~30度にする。この角度は主に第2導電層の膜厚との関係で決まるが、このテーパ部の占める長さが概略0.5~1.5 μm となるようにする。

【0034】

そして、エッチングガスに、 BCl_3 、 Cl_2 、 O_2 を用いて、第2導電層105'をマスクパターン106'に基づいて選択的にエッチングする。この場合、基板側に印加するバイアス電圧は低くして第1導電層104'は残存せしめるようにする。第2導電層105'の端部は第1導電層104'よりも内側に後退し、後述するようにその後退量で L_{ov} の長さが決まる。こうして第1導電層104'、第2導電層105''から成る第2の導電層パターン108が形成され、これが半導体層102と交差する部位においてゲート電極となる。(図1(D))

【0035】

半導体層103への一導電型不純物の添加、すなわちLDDやソース・ドレイン領域の形成は、第2の導電層パターン108を用いて自己整合的に形成することができる。図2(A)はゲート電極とオーバーラップするLDDを形成するためのドーピング処理であり、一導電型不純物のイオンを第1導電層104'を透過させて、その下層部に位置する半導体層102に添加して第1濃度の一導電型不純物領域109を形成する。第2絶縁層や第1導電層の膜厚にもよるが、この場合には50kV以上の加速電圧を要する。第1濃度の一導電型不純物領域109の不純物領域の不純物濃度は、LDDを前提とすると $1 \times 10^{16} \sim 5 \times 10^{18}/cm^3$ (ピーク値)とする。

【0036】

ソース・ドレイン領域を形成するドーピング処理は、第2の導電層パターン108をイオンの遮蔽マスクとして用い、第1濃度の一導電型不純物109の外側に第2濃度の一導電型不純物領域110を形成する。この場合には加速電圧を30kV以下として行なう。第2濃度の一導電型不純物領域110の不純物濃度は $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ （ピーク値）とする。

【0037】

その後、窒化珪素からなる第3絶縁層111、低誘電率の有機化合物材料からなる第4絶縁膜112、配線113を形成する。

【0038】

以上のように、本実施形態は、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(Lov)を1 μm 以上有するTFTを形成することができる。ゲート電極とオーバーラップするLDD領域の長さを1 μm 以上とし、ホットキャリア劣化に対する寿命時間を長大することができる。

【0039】

【実施例】

（実施例1）

本実施例は、実施形態1に基づく工程に従って、ゲート電極を加工する一例について示す。本実施例は図1を参照して説明する。

【0040】

まず、アルミノシリケートガラス基板100上にプラズマCVD法で150nmの酸化珪素膜で第1絶縁層101を形成する。半導体層102は50nmの非晶質珪素膜をレーザーアニールにより結晶化した結晶性珪素膜で形成し、島状に孤立分離するように形成する。第2絶縁膜103は、 SiH_4 と N_2O をソースガスとしてプラズマCVD法により115nmの酸化珪素膜を形成する。窒化タンタル(TaN)で形成する第1導電層104は30nmの厚さとし、チタンで形成する第2導電層105は370nmの厚さで形成する。マスクパターン106はポジ型のフォトレジストで1.5 μm の厚さに形成する。マスクパターンの幅は適宜設定すれば良いが、本実施例においては4.5 μm と10 μm のマスクパターンで光露光形成した。(図1(A))

【0041】

次に、ドライエッチングにより第2導電層(チタン)105のエッチングを行う。エッチングにはICPEッチング装置を用いる。図5はICPEッチング装置の構成を示す。反応室801にはエッチング用のガス供給手段803、反応室内を減圧状態に保持する排気手段804が連結されている。プラズマ生成手段は反応室801に石英板を介して誘導結合するスパイラルコイル802、高周波(13.56MHz)電力供給手段805から成っている。基板側へのバイアス印加は高周波(13.56MHz)電力供給手段806で行ない、基板を載置するステージに自己バイアスが発生するような構成となっている。エッチング加工には供給するエッチングガス種と、高周波(13.56MHz)電力供給手段806、807より供給されるそれぞれの高周波電力、エッチング

圧力が主なパラメーターとなる。

【0042】

図1 (B) のエッチング加工には、エッチングガスとして CF_4 、 Cl_2 、 O_2 のほかに SF_6 を添加する。エッチング圧力は1.3 Paとし、800 Wのプラズマ生成用の電力、300 Wの基板バイアス用の電力を供給する。続いて、図1 (C) に示すようにエッチングガスを CF_4 、 Cl_2 に切り替えて第1導電層である窒化タンタルのエッチングを行う。この時のエッチング条件は、エッチング圧力1.3 Pa、500 Wのプラズマ生成用の電力、10 Wの基板バイアス用の電力を供給する。以上のようにして、第1の導電層パターン107を形成することができる。

【0043】

次に、エッチングガスに BCl_3 、 Cl_2 、 O_2 を用いて異方性エッチングを行ない、主として第2導電層105'の加工を行う。エッチング圧力は1.9 Paとし、500 Wのプラズマ生成用の電力、3 Wの基板バイアス用の電力を供給する。第2導電層105'の端部は第1導電層104'の端部よりも内側に後退する。こうして第2の導電層パターン108が形成され、これが半導体層102と交差する部位においてゲート電極となる。そして、第1導電層104'の端部からの後退幅は1 μm 以上とすることが可能である。図6で示すようにこの後退幅dが L_{ov} 長を決める長さとなる。表1は本実施例と同様の工程における、上記の SF_6 添加処理の有無による後退幅dを比較した表である。

【0044】

【表1】

【0045】

表1から明らかなように、 SF_6 添加処理がある場合には1.351 μm の後退幅が得られるのに対し、 SF_6 添加処理が無い場合それが0.963 μm に留まっている。

【0046】

【表2】

【0047】

表2に各条件に対するエッチング特性を示す。マスクパターンの後退量を多くするにはP. R (Resist) のTiに対する選択比 ($P. R / Ti$) を上げてやればよい。一般に O_2 の量を増やしてやればよいが、Tiの場合はTiが酸化されてしまいエッチストップがかかってしまう。 SF_6 ガス単独の場合のエッチング特性を調べるとP. RのTiに対する選択比 ($P. R / Ti$) が8.11も取れ、なおかつP. Rのエッチレート、Tiエッチレートともに大きく取れた。これは、 SF_6 を添加すれば選択比 ($P. R / Ti$) が稼げることを意味する。

【0048】

図7は SF_6 添加処理有りの場合の、図8は SF_6 添加処理無しの場合代表的な加工形状を示す走査電子顕微鏡 (SEM) 像である。下層から窒化タンタル層、チタン層が積層形成されている状態を示している。同図は斜方から観察したSEM像であるが、チタン層の後退幅もしくは窒化タンタル層の突出幅はS

F₆添加処理有りの場合で1.30 μm程度、SF₆添加処理無しの場合で0.80 μm程度と見込まれる。CF₄を5 sccm SF₆に置き換えるだけで、大きな効果が得られる。

【0049】

以降、LDDを形成する第1濃度の一導電型不純物領域109に $1 \times 10^{16} \sim 5 \times 10^{18}/\text{cm}^3$ （ピーク値）の濃度でリンまたはボロンを50 kVの加速電圧でイオンドーピング処理により添加する。（図2（A））

【0050】

さらに、ソース・ドレイン領域を形成するドーピング処理は、第2の導電層パターン108をイオンの遮蔽マスクとして用い、第1濃度の一導電型不純物領域109の外側に第2濃度の一導電型不純物領域110を形成する。この場合には加速電圧を10 kVとして、リン又はボロンの濃度を $1 \times 10^{19} \sim 5 \times 10^{21}/\text{cm}^3$ （ピーク値）として形成する。（図2（B））

【0051】

その後、プラズマCVD法で水素を含有する酸化珪素111を100 nmの厚さで形成し、感光性または非感光性のアクリルまたはポリイミド樹脂を1 μmの厚さに形成して第4絶縁膜112を形成する。さらに必要に応じて配線113を形成する。

【0052】

以上のようにして、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ（L_{ov}）を1 μm以上とするTFTを形成することができる。

【0053】

（実施例2）

本発明は様々な表示画面を設けた半導体装置に適用することができる。

【0054】

図12は表示パネル901を筐体900に組み込んだ半導体装置の一構成例であり、テレビ受信機やコンピュータのモニタシステムとして適用できるものである。筐体900には半導体集積回路で形成した増幅器や高周波回路、及びメモリ機能として半導体メモリもしくはハードディスクなど磁気メモリなどを組み込んで画像表示機能を充足させる電子回路基板902や音声を再生するスピーカ903が装着されている。

【0055】

表示パネル901は本発明に係るゲートオーバーラップTFTを用いて、TFTをマトリクス状に配列させてなるアクティブマトリクス画素回路904、走査線駆動回路905、データ線駆動回路906を一体形成したドライバー体型とすることができる。

【0056】

図11はアクティブマトリクス画素回路904の主要な構成を示す図である。半導体層301と交差するゲート電極302とデータ信号線303が同一層で形成されている。すなわち、少なくともチタンを主成分とする導電層を一層含む積層体で形成され、そのゲート電極もしくは配線のパターンを形成するエツ

チング加工は実施例1により行なうものである。これにより、 L_{ov} 長が $1\mu m$ 以上のゲートオーバーラップTFTを低コストで形成することが可能である。ゲート信号線304は層間絶縁膜を介してその上層に形成され、コンタクトホールを介してゲート電極302と接続する構成となっている。勿論、この配線もチタンおよびアルミニウムで形成可能である。データ信号線303と半導体層301を接続する配線305もゲート信号線304と同一層で形成可能である。画素電極306は酸化インジウムと酸化スズの化合物であるITO (Indium Tin Oxide) を用いて形成している。なお、このような画素の詳細については、特開2001-313397号公開で開示されている。

【0057】

本実施例では半導体装置に一例を示したが、本発明は本実施例に限定されず様々な半導体装置に適用することができる。例えば、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）に加え、冷蔵庫装置、洗濯機、炊飯器、固定電話装置、真空掃除機、体温系など家庭電化製品から、電車内の吊り広告、鉄道駅や空港の発着案内版などのインフォメーションディスプレイまで様々な分野に適用することができる。

【0058】

なお、本発明における実施例については以上のように示されているが、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるものである。

【0059】

【発明の効果】

以上説明したように、本発明によれば、ゲート電極を複数の導電層からなる積層体で形成し、その形状において第1導電層のチャンネル長方向の幅が、第2導電層より長くなるように加工する工程において、窒化タンタルからなる第1導電層及びチタンからなる第2導電層を有する積層体上にマスクパターンを形成し、 CF_4 、 Cl_2 、 O_2 に SF_6 を添加したプラズマを用いてこのマスクパターンの後退量を増やしつつ長いテーパ部を有する第1の導電層パターンを形成するエッチング加工を行うことで、第1導電層のチャンネル長方向の長さを $1\mu m$ 以上とするハットシェイプ構造を形成することができる。このゲート電極をイオンドーピング時のマスクとすることで、ゲート電極とオーバーラップするLDD領域の長さを $1\mu m$ 以上とし、ホットキャリア劣化に対する寿命を長大することができる。

【0060】

また、本発明により、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ（ L_{ov} ）を $1\mu m$ 以上有するTFTを形成することができる。ゲート電極とオーバーラップするLDD領域の長さを $1\mu m$ 以上とし、ホットキャリア劣化に対する寿命時間を長大化することができる。

【図面の簡単な説明】

【図１】 本発明の半導体装置の作成工程を説明する断面図である。

【図２】 本発明の半導体装置の作成工程を説明する断面図である。

【図３】 テーパーエッチングによる反応副生成物除去効果を説明する図である。

【図４】 テーパーエッチングを行わない場合における反応副生成物の影響を説明する図である。

【図５】 ＩＣＰエッチング装置の構成を説明する図である。

【図６】 第２導電層の後退幅 d とゲートオーバーラップＴＦＴの L_{ov} 長の関係を説明する図である。

【図７】 エッチング加工された導電層パターンの形状を示すＳＥＭ像である。

【図８】 エッチング加工された導電層パターンの形状を示すＳＥＭ像である。

【図９】 バイアスストレス試験に基づくＴＦＴの寿命を推定する特性図であり L_{ov} 依存性について示すグラフである。

【図１０】 推定保証電圧（オン電流１０％劣化）の L_{ov} 長依存性を示すグラフである。

【図１１】 本発明に係る半導体装置のアクティブマトリクス型の画素を示す上面図である。

【図１２】 半導体装置の一例を示す図である。

【書類名】 要約書

【要約】

【課題】 エッチング加工の選択比に関して、第1の導電層パターンを形成する際、マスクパターンとチタンなどの金属との間で高い選択比を有するエッチング条件でエッチング加工することで、自己整合的に形成するゲート電極にオーバーラップするLDDの設計自由度を与えることを目的とする。

【解決手段】 半導体層上にゲート絶縁膜を介して下層部側の第1導電層と上層部側の第2導電層とから成る積層構造体を形成し、その積層構造体上にマスクパターンを形成し、このマスクパターンのエッチングレートが速い条件を用いて第2導電層及び第1導電層をエッチングしてテーパ状の第1の導電層パターンを形成し、残存するマスクパターンに基づいて第1の導電層パターンにおける第2導電層を選択的にエッチングして、第2の導電層よりも第1導電層の方が長い第2の導電層パターンを形成。

【選択図】 図1

【表 1】

Lov 長 (片側)		単位: μm
マスクパターン幅	S F ₆ 添加処理 有り	S F ₆ 添加処理 無し
10.0	1.351	0.963

* S F₆ 添加処理有りの場合の条件

ICP/Bias=800/300W, 1.3Pa, SF₆/CF₄/Cl₂/O₂=5/20/40/10sccm

* S F₆ 添加処理無しの場合の条件

ICP/Bias=800/300W, 1.3Pa, CF₄/Cl₂/O₂=25/40/10sccm

【表2】

条件	パラメータ	ICP	Bias	Press	CF ₄	Cl ₂	O ₂	P R E/R		Ti E/R		Ta N E/R		P R/Ti 選択比		Ti/Ta N 選択比	
		W	W	Pa	sccm	sccm	sccm	AVE	p.n.u	AVE	p.n.u	AVE	p.n.u	AVE	p.n.u	AVE	p.n.u
								Å/min	%	Å/min	%	Å/min	%		%		%
1	基本条件	500	300	1.3	25	40	10	6932	8.5%	3845	5.1%	2662	3.6%	1.81	11.5%	1.44	4.6%
2	Bias	500	100	1.3	25	40	10	6455	5.5%	955	20.7%	717	7.8%	6.92	18.1%	1.33	22.5%
3		500	200	1.3	25	40	10	6764	3.1%	3113	6.8%	1539	4.8%	2.18	7.5%	2.02	5.6%
4		500	400	1.3	25	40	10	7694	3.9%	3598	5.4%	3513	3.8%	2.14	6.9%	1.02	8.2%
5	ICP	300	300	1.3	25	40	10	5188	5.5%	2297	8.2%	2024	6.6%	2.26	4.8%	1.14	10.1%
6		700	300	1.3	25	40	10	8777	8.1%	3809	3.8%	2306	5.9%	2.31	10.7%	1.65	8.3%
7		500	300	1.8	25	40	10	7094	3.9%	4285	6.5%	1747	7.4%	1.66	6.1%	2.46	11.9%
8	Press	500	300	2.3	25	40	10	8654	16.8%	724	25.6%	857	29.3%	12.23	22.8%	0.89	40.4%
9		500	300	3.3	25	40	10	7659	21.2%	2434	23.5%	505	67.0%	3.26	37.2%	6.83	110.4%
10	O ₂	500	300	1.3	25	40	15.0	9330	6.5%	464	31.8%	1179	13.4%	21.06	34.7%	0.40	31.5%
11		500	300	1.3	25	40	7.5	6480	3.1%	3832	4.2%	3172	3.7%	1.69	5.5%	1.34	48.1%
12		500	300	1.3	25	40	5.0	6037	4.7%	3480	5.2%	3061	8.1%	1.74	9.9%	1.14	10.3%
13		500	300	1.3	25	40	0.0	5146	13.2%	3091	6.2%	3004	4.0%	1.67	18.1%	1.03	4.1%
14	CF ₄ /Cl ₂	500	300	1.3	40	25	10	6571	16.6%	0	-	1608	9.5%	∞	-	0.00	-
15		500	300	1.3	30	35	10	7150	19.3%	81	140%	2047	5.8%	42.90	20.3%	0.04	134%
16		500	300	1.3	20	45	10	6798	10.8%	4036	4.8%	3344	5.6%	1.69	11.6%	1.21	6.5%
17		500	300	1.3	10	55	10	6238	13.4%	2762	10.8%	4498	5.8%	2.27	21.0%	0.61	9.4%
SF ₆ 処理		500	300	1.9	SF ₆ =56sccm			10724	6.0%	1337	17.2%	-	-	8.11	14.1%	-	-